

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-93172

(43) 公開日 平成7年(1995)4月7日

| (51) Int.Cl. <sup>8</sup> | 識別記号    | 庁内整理番号  | F I | 技術表示箇所 |
|---------------------------|---------|---------|-----|--------|
| G 0 6 F 11/20             | 3 1 0 D |         |     |        |
| 12/16                     | 3 1 0 P | 9293-5B |     |        |
| 15/16                     | 4 7 0 X | 7429-5L |     |        |
| G 1 1 C 29/00             | 3 0 1 B | 6866-5L |     |        |

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平5-237084

(22) 出願日 平成5年(1993)9月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 亨

東京都港区芝五丁目7番1号 日本電気株式会社内

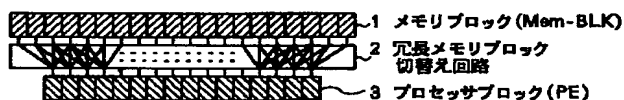
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 冗長ブロック切り替え回路

(57) 【要約】

【構成】 第1の機能ブロックM個と、冗長機能ブロックとしての第1の機能ブロックN ( $1 < N < M$ ) 個と、第1の機能ブロックに1対1対応するM個の第2の機能ブロックと、第1の機能ブロックと第2の機能ブロックの接続を選択する冗長切り替え回路が1チップ内に含まれる構成のLSIにおいて、3個以上N+1個以下の第1の機能ブロックから1個を選択して第2の機能ブロックと1対1に接続することが可能な構成の冗長ブロック切り替え回路である。

【効果】 本回路を用いることで、冗長ブロックによるチップ面積の増大、消費電力、遅延時間の増大を最小限に抑えた上で、救済効率の高い冗長切り替え回路を実現できる。この結果、チップの歩留まりが向上し、チップ単価を低くすることが出来る。



## 【特許請求の範囲】

【請求項1】 第1の機能ブロックM個と、冗長機能ブロックとしての第1の機能ブロックN ( $1 < N < M$ ) 個と、第1の機能ブロックに1対1対応するM個の第2の機能ブロックと、第1の機能ブロックと第2の機能ブロックの接続を選択する冗長切り替え回路において、3個以上N+1個以下の第1の機能ブロックから1個を選択して第2の機能ブロックと1対1に接続することが可能な構成の冗長ブロック切り替え回路。

【請求項2】 請求項1記載の冗長ブロック切り替え回路で、冗長ブロック切り替えをヒューズの切断を用いて行う方式の冗長ブロック切り替え回路において、冗長ブロック切り替え回路にチップ外部からの信号を入力し、M個の第2の機能ブロックとM個の第1の機能ブロックの接続をヒューズを用いて選択する以前に、M個の第2の機能ブロックを通してM+N個の第1の機能ブロック全体の動作検証が行える構成の冗長ブロック切り替え回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は冗長ブロック切り替え方式及び回路に関し、従来の冗長ブロック切り替え回路に比べ冗長回路を用いた不良ブロック救済効率が高く、さらに冗長ブロック切り替えを行う上で、誤った切り替え方を行う原因を根本的に排除できる冗長ブロック切り替え回路である。

## 【0002】

【従来の技術】 図6に従来の冗長ブロック切り替え方式を示す。第1の機能ブロックをメモリブロック、第2の機能ブロックをプロセッサブロックとしている。第1の機能ブロックであるメモリブロックは基本的にプロセッサブロックに比べプロセス上の設計基準が厳しく、最も微細な加工を要求されるメモリセルで不良が起り易い。このため、大容量のメモリを搭載するLSIにおいてはメモリブロックに冗長ブロックを配置し、不良メモリセルを冗長ブロックのメモリセルに置き換えることにより、チップの歩留まりを向上させることが一般的である。このため、以下では第1の機能ブロックをメモリブロック、第2の機能ブロックをプロセッサブロックとして説明する。図6で示した冗長切り替え方式は、メモリブロック、プロセッサブロックの数Mを16とし、冗長メモリブロックの数Nを4としている。また、1個のプロセッサブロックが2つのメモリブロックの内1つを選択することが出来るように設計されている。

## 【0003】

【発明が解決しようとする課題】 本発明は、ブロック置き換え型の冗長回路切り替え回路において、ハードウェア量の増大を抑えながら最大の救済効率を実現することを目的とする。

【0004】 図6に示した方式の場合、隣り合う2つの

メモリブロックの両方に不良が生じた場合は救済不可能になる。

## 【0005】

【課題を解決するための手段】 本発明は、第1の機能ブロックM個と、冗長機能ブロックとしての第1の機能ブロックN ( $1 < N < M$ ) 個と、第1の機能ブロックに1対1対応するM個の第2の機能ブロックと、第1の機能ブロックと第2の機能ブロックの接続を選択する冗長切り替え回路において、3個以上N+1個以下の第1の機能ブロックから1個を選択して第2の機能ブロックと1対1に接続することが可能な構成の冗長ブロック切り替え回路であり、この冗長ブロック切り替え回路で、冗長ブロック切り替えをヒューズの切断を用いて行う方式の冗長ブロックを切り替え回路において、冗長ブロック切り替え回路にチップ外部からの信号を入力し、M個の第2の機能ブロックとM個の第1の機能ブロックの接続をヒューズを用いて選択する以前に、M個の第2の機能ブロックを通してM+N個の第1の機能ブロック全体の動作検証が行える構成の冗長ブロック切り替え回路である。

## 【0006】

【実施例】 冗長ブロックの個数を増やすことはレイアウト面積の増大、チップ面積の増大につながるため、むやみに増やすことはできない。不良メモリブロックがN個以下の場合、1つのプロセッサブロックがN+1個のメモリブロックの内1つに接続可能であることが最大救済効率を与えるのに必要十分である。ひとつのプロセッサブロックがN+1個以上の数のメモリブロックに接続可能であっても、N+1個に接続可能である場合に比べて救済効率は向上しない。

【0007】 たとえば図2、3の左から数えてn-1番目のプロセッサブロックP (n-1) までが、たとえば左から数えてn-1番目のメモリブロックM (n-1) に接続されたとする。この場合1からn-1番目のメモリブロックは欠陥のないブロックである。n番目のメモリブロックM (n) に欠陥が無ければn番目のプロセッサブロックP (n) はM (n) に接続される。M (n) に欠陥があればM (n+1) に接続し、M (n) とM (n+1) とに欠陥があればM (n+2) に接続する。この手順でP (n) を接続するメモリブロックを選んでいくと、P (n) を接続できるブロックはM (n+N) までである。P (n) をM (n+N+1) に接続するということは、M (n) からM (n+N) までのN+1個のメモリブロックが不良であるということであり、冗長メモリブロックがN個である場合、この場合については救済できないからである。また、P (n-1) がM (n+i) [ $i < N$ ] のメモリブロックに接続されているとする。この場合は既にi+1個のメモリブロックに欠陥があったことを意味する。このとき、P (n) に接続する意味のあるメモリブロックは、 $(N - (i + 1)) + 1$

## 3

個であることが分かる。従って、 $P(n)$  に接続する意味のあるメモリブロックは、 $M(n+i+1)$ 、 $M(n+i+2)$ 、 $\dots$ 、 $M(n+i+1+(N-(i+1)))=M(n+N)$  である。一般に、 $M(1)$  から  $M(n+i)$  までのメモリブロックに何個不良ブロックがあるかは、あらかじめ分かっているないので、 $P(n)$  は  $M(n)$  に接続可能である必要がある。

【0008】図2にはメモリブロック3個とプロセッサブロック2個の接続例を示す。この場合冗長ブロック数は1である。図から分かるように、この場合の意味のある接続は(a)、(b)の2例しかない。メモリブロックに2個以上欠陥があると、このチップは基本的に救済不可能である。従って、(c)にあるようにプロセッサブロックを3つ以上のメモリブロックに接続可能であるように冗長切り替え回路を設計しても無意味である。同様に、メモリブロック5個、プロセッサブロック3この例を図3に示す。この場合の冗長ブロック数は2であるので、1つのプロセッサブロックが3つのメモリブロックに接続可能であることに意味が出てくる。

【0009】つまりは、プロセッサブロックは欠陥ブロックが全く無かったとき本来つながるべきメモリブロッ

## 4

クと、欠陥があった場合は、冗長ブロック個数分だけ繋げることが出来れば、それ以上のブロックに繋げても意味が無いわけである。このように考えると、 $P(n)$  は  $M(n)$  から  $M(n+N)$  までに接続可能であることが必要十分である。

【0010】また、1つのプロセッサブロックに接続可能なメモリブロック数を増加させると、接続のためのバスの配線、冗長切り替え回路のハードウェア量が増加する。このため、冗長切り替え方式・回路を、ハードウェア量の増大と救済効率向上の2つの競合する要因を考慮し、1つのプロセッサブロックが  $N+1$  個以下のメモリブロックと接続可能であるようにすることで、冗長切り替えによる救済効率の向上とレイアウト面積増大の制限が高い次元で実現できる。

【0011】図1に1つのプロセッサブロックが四つのメモリブロックに接続可能な例を示す。前述の従来例に合わせて  $M=16$ 、 $N=4$  としている。図5の場合と図1の場合とでのメモリブロックの不良を救済できない場合の数を表1に示す。

【0012】

【表1】

| 不良メモリ<br>ブロック数 | 起こりうる<br>組み合わせ | 救済不可能な組み合わせ |      |
|----------------|----------------|-------------|------|
|                |                | 2択構成        | 4択構成 |
| 0              | 1              | 0           | 0    |
| 1              | 20             | 0           | 0    |
| 2              | 190            | 19          | 0    |
| 3              | 1140           | 171         | 0    |
| 4              | 4845           | 969         | 17   |
| 合計             | 6169           | 1159        | 17   |

【0013】 $N=4$  であるため、1つのプロセッサブロックと五つのメモリブロックが接続可能であることが望ましいが、前述の接続バス、冗長切り替え回路の面積の増大を押さえる観点で、ここでは1つのプロセッサブロックが四つのメモリブロックに接続可能な例について示してある。このため、図1の例でも4つのメモリブロックが連続して不良となる17通りの場合については救済不可能である。しかしながら、図5の場合に比べ救済不可能な場合の数は1159通りから17通りと、1.5%以下に減少している。

【0014】図4に、図1で示した4択方式の冗長切り替え回路の設計例を示す。この回路では冗長ブロックの切り替えはヒューズの切断によって行われる。一般的には冗長ブロック切り替えには、図4(b)で示す様なヒューズによる方式が用いられている。ここで、ヒューズはいったん切断すると再接続することは不可能である。図4

(b)に示した回路では、ヒューズを切断していない初期状態において、 $sig1$  のノードのみ "Low" レベルが出力され、図4(a)の回路によりプロセッサブロック  $PE(n)$  はメモリブロック  $Mem-BLK(n)$

に接続される。 $Mem-BLK(n)$  に不良があった場合、ヒューズ1またはヒューズ2を切断して接続を変える。最初にヒューズ1を切断した場合は、 $sig4$  が "Low" レベルとなり、 $Mem-BLK(n+3)$  が選択される。1度ヒューズ1を切断してしまうと、ヒューズ1接続、ヒューズ2切断の組み合わせにより、 $sig3$  が "Low" になり接続されるはずの  $Mem-BLK(n+2)$  への  $PE(n)$  の接続は不可能となる。従って一般的に使われる図4(b)に示す回路では、 $Mem-BLK(n)$ 、 $Mem-BLK(n+1)$ 、 $Mem-BLK(n+3)$  が不良であり、始めにヒューズ1を切断した場合、正常ブロックである  $Mem-BLK(n+2)$  への  $PE(n)$  の接続は不可能となり、冗長メモリブロックを用いた救済は出来ない。同様に、始めにヒューズ2を切断した場合、ヒューズ1切断、ヒューズ2接続により選ばれる  $Mem-BLK(n+3)$  への  $PE(n)$  の接続は不可能となる。このように、ヒューズの切断により冗長ブロック切り替えを行う方式の回路では、冗長ブロック切り替え回路自体の問題で、前記の、

1つのプロセッサブロックが  $N+1$  以下のメモリブロッ

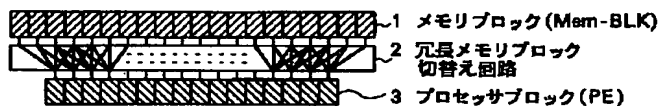
## 5

クと接続可能な構成の冗長ブロック切り替え方式・回路の利点が十分に生かせない。

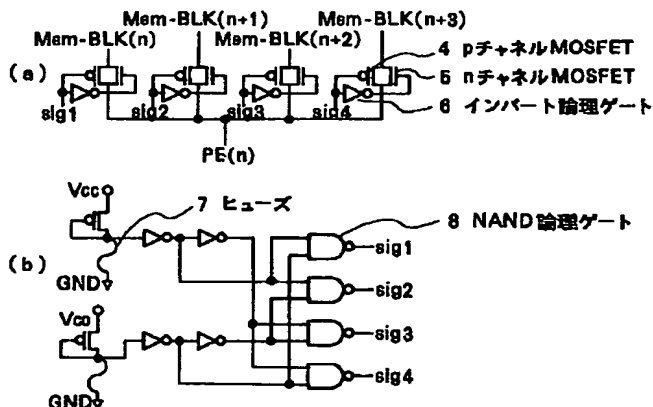
【0015】図5にこの問題を解決する冗長ブロック切り替え回路の1例を示す。外部からの"TEST"信号の入力により、"TEST"信号が"High"レベルであるときと"Low"レベルであるときで、ヒューズ切断以前にそれぞれ、sig1、sig4が"Low"レベルとなり、図4(a)に示す回路に接続した場合、PE(n)にはそれぞれMem-BLK(n)及びMem-BLK(n+3)が接続される。この、図5と図4(a)で構成される冗長ブロック切り替え回路を図1で示した4択の冗長切り替え方式に適用した場合、"TEST"="High"で16個のPEブロック(プロセッサブロック)は最左端のMem-BLK(メモリブロック)から、左から16個目のMem-BLKに接続される。また、"TEST"="Low"では、16個のPEブロックは左から17個目、18個目、19個目、20個目のMem-BLKを含む16個のMem-BLKに接続されるように、図1の冗長ブロック切り替え回路の接続を行うことは容易である。この結果、ヒューズの切断以前に冗長メモリブロックを含む全てのメモリブロックのテストを行い、正常なメモリブロックを特定し、プロセッサブロックにヒューズ切断を通して接続することが出来る。この結果、ハードウェア量の増大を最小限に押さえながら冗長ブロックによるメモリブロック救済効率を最も高くすることが出来る。

【0016】

【図1】



【図4】



## 6

【発明の効果】以上のような冗長切り替え回路の採用により、ハードウェア量が制限された中で最も高い救済効率を実現することが出来、冗長切り替え回路を必要とするチップの歩留まり向上とそれに伴うチップ単価の低減が実現できる。

【図面の簡単な説明】

【図1】本発明による冗長切替回路の一例を示す図である。

【図2】メモリブロック3個とプロセッサブロック2個の接続を示す図である。

【図3】メモリブロック5個とプロセッサブロック3個の接続を示す図である。

【図4】本発明の冗長切替回路を実現するための具体的な回路構成を示す図である。

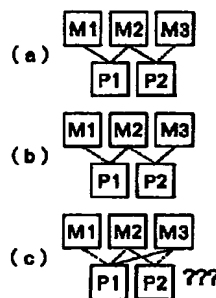
【図5】図4(b)の回路を救済効率を上げるために改良した本願請求項2に記載の回路構成を示す図である。

【図6】従来の冗長切替回路の一例を示す図である。

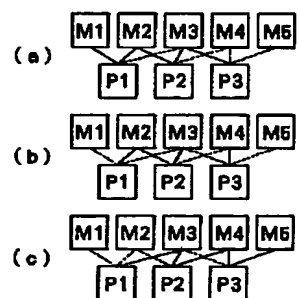
【符号の説明】

- 1 メモリブロック (Mem-BLK)
- 2 冗長メモリブロック切り替え回路
- 3 プロセッサブロック (PE)
- 4 pチャネルMOSFET
- 5 nチャネルMOSFET
- 6 インバート論理ゲート
- 7 ヒューズ
- 8 NAND論理ゲート
- 9 NOR論理ゲート

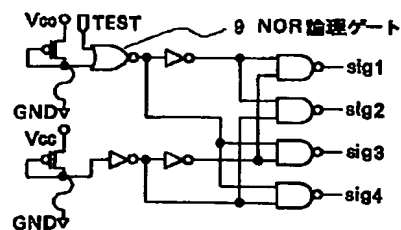
【図2】



【図3】



【図5】



【図6】

